

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2005年9月29日 (29.09.2005)

PCT

(10) 国際公開番号
WO 2005/091126 A1

(51) 国際特許分類⁷: G06F 3/033, G01L 5/16

(21) 国際出願番号: PCT/JP2005/004215

(22) 国際出願日: 2005年3月10日 (10.03.2005)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2004-085669 2004年3月23日 (23.03.2004) JP

(71) 出願人(米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町21番地 Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人(米国についてのみ): 井ノ口 普之 (INOKUCHI, Hiroyuki) [JP/JP]; 〒6158585 京都府京

都市右京区西院溝崎町21番地 ローム株式会社内 Kyoto (JP).

(74) 代理人: 根本 恵司, 外 (NEMOTO, Keiji et al.); 〒1050001 東京都港区虎ノ門2丁目9番9号 虎ノ門倉並ビル4F 英伸国際特許事務所 Tokyo (JP).

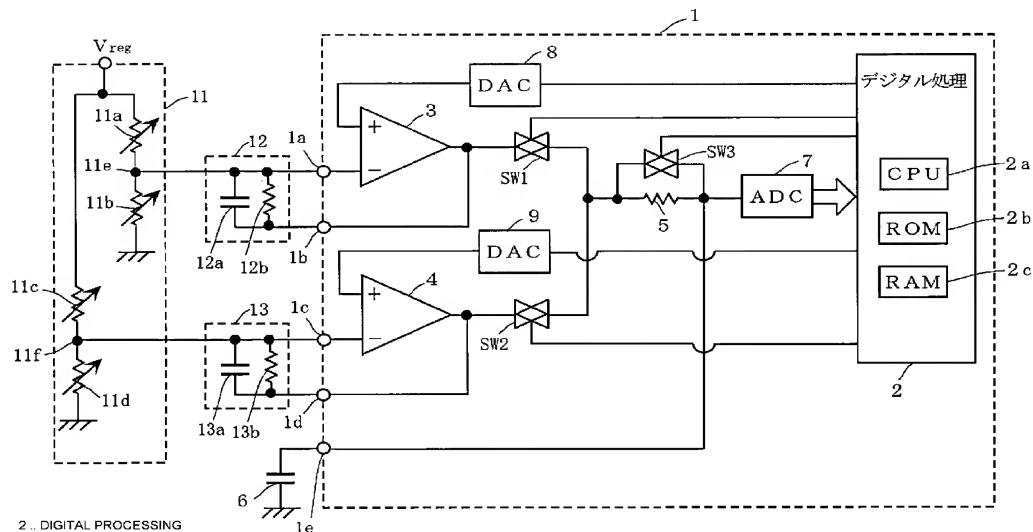
(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA,

[続葉有]

(54) Title: SIGNAL PROCESSING DEVICE

(54) 発明の名称: 信号処理装置



WO 2005/091126 A1

(57) Abstract: It is possible to improve response of a pressure-sensitive pointing device without lowering the low-frequency noise removal performance. The X-axis direction distortion voltage of the pressure-sensitive pointing device (11) is amplified by a calculation amplification circuit (3), passes through a switch (SW1), is digitized by an ADC (7), and inputted to a digital processing circuit (2). The Y-axis direction distortion voltage of the pressure-sensitive pointing device (11) is amplified by a calculation amplification circuit (4), passes through a switch (SW2), is digitized by the ADC (7), and inputted to the digital processing circuit (2). A switch (SW3) is kept ON for a predetermined time from the moment of switching between the switches (SW1, SW2) and the output side of the switches (SW1, SW2) is connected to a large-capacity capacitor (6). Since the capacitor (6) is charge/discharged with a response speed according to the drive ability of the calculation amplification circuits (3, 4), the X-axis direction and the Y-axis direction distortion voltage quickly reach a predetermined value. After an elapse of a predetermined time, a low-pass filter formed by a resistor (5) and the capacitor (6) removes the low-frequency noise.

[続葉有]



SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

— 請求の範囲の補正の期限前の公開であり、補正書受領の際には再公開される。

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:
— 国際調査報告書

(57) 要約: 低周波ノイズの除去性能を低下させずに感圧式ポインティングデバイスの応答性の向上を実現する。 感圧式ポインティングデバイス (11) の X 軸方向の歪み電圧は演算増幅回路 (3) で増幅され、スイッチ (SW1) を通り、ADC (7) でデジタル化され、デジタル処理回路 (2) に入力される。感圧式ポインティングデバイス (11) の Y 軸方向の歪み電圧は演算増幅回路 (4) で増幅され、スイッチ (SW2) を通り、ADC (7) でデジタル化され、デジタル処理回路 (2) に入力される。スイッチ (SW1) と (SW2) との切り換え時から所定時間スイッチ (SW3) をオンにし、スイッチ (SW1) 及び (SW2) の出力側を大容量のコンデンサ (6) に接続する。演算増幅回路 (3)、(4) の駆動能力に応じた応答速度でコンデンサ (6) が充放電されるため、X 軸方向及び Y 軸方向の歪み電圧は速やかに一定値に到達する。所定時間経過後は抵抗 (5) とコンデンサ (6) とからなるローパスフィルタが低周波ノイズの除去を行う。

明 細 書

信号処理装置

技術分野

[0001] 本発明は、ポインティングデバイスから出力される信号を処理する装置に関し、特にX、Yの2軸又はX、Y、Zの3軸の高速切り換えが可能な信号処理装置に関する。

背景技術

[0002] ノートパソコンのキーボード等に設けられている感圧式ポインティングデバイスは、ユーザがデバイスの操作部を指先で所望の方向に押圧すると、デバイスに内蔵された歪みセンサがその方向の荷重を検知し、その検知信号を処理することにより、ノートパソコンの表示装置に表示されているカーソル等のポインタが移動するように構成されている。このとき、ポインタの移動方向はデバイスの先端に加えられた荷重の方向に対応して決定され、移動速度は荷重の大きさに対応して決定される。

[0003] 従来、感圧式ポインティングデバイス(以下、ポインティングデバイスということがある)の出力信号を処理する信号処理装置としては特許文献1に記載された操作入力装置がある。図6はこのような装置の構成を示す図である。

[0004] この信号処理装置41には、感圧式ポインティングデバイス51の出力信号が入力される。感圧式ポインティングデバイス51は、図示されていない操作部の操作によるX軸のプラス方向(以下、+X方向といふ)の荷重を検知する歪みセンサ51aと、X軸のマイナス方向(以下、-X方向といふ)の荷重を検知する歪みセンサ51bと、Y軸のプラス方向(以下、+Y方向といふ)の荷重を検知する歪みセンサ51cと、Y軸のマイナス方向(以下、-Y方向といふ)の荷重を検知する歪みセンサ51dとを備えている。歪みセンサ51a、b、c、dはピエゾ抵抗素子のような歪みゲージで構成されており、図示されていない操作部をそれぞれ+X方向、-X方向、+Y方向、-Y方向に操作すると、その操作方向に応じてそれぞれ歪みセンサ51a、b、c、dが下方に押圧され、その荷重により抵抗値が変化するように構成されている。また、歪みセンサ51aと51bとが直列に接続され、歪みセンサ51cと51dとが直列に接続されている。ここで、X軸とはユーザから見てポインティングデバイス51の左右又は横方向の軸であり、Y軸とは前後

又は縦方向の軸である。また、このX軸はポインティングデバイス51が設けられたノートパソコン等のディスプレイ上の左右又は横方向に対応し、Y軸は前後又は縦方向に対応する。歪みセンサ51aと51bとが直列に接続され、歪みセンサ51cと51dとが直列に接続されている。また、直列接続回路同士が並列に接続され、その並列接続回路に電源電圧Vddが供給される。

[0005] 荷重のない状態では、4個の歪みセンサの抵抗値は等しいが、操作部がそれぞれ+X方向、-X方向、+Y方向、-Y方向に操作されると、操作された方向の歪みセンサ51a、51b、51c、51dの抵抗値が変化し、歪みセンサ51aと51bとの接続点51eからX軸方向の歪みが電圧変化として検出され、歪みセンサ51cと51dとの接続点51fからY軸方向の歪みが電圧変化として検出される。このとき、操作部を斜め方向(X軸及びY軸を含む平面内でX軸及びY軸に平行でない方向)に押圧すると、押圧方向のベクトルに対するX軸方向の成分の歪み及びY軸方向の成分の歪みが検出される。荷重を解除すると、各歪みセンサの抵抗値は荷重のないときの状態に戻り、接続点51e、51fの電位も変化する前の値に戻る。

[0006] ローパスフィルタ52、53は、それぞれコンデンサ52a、53a及び抵抗52b、53bからなり、後述する演算增幅回路43及び44の出力信号から低周波ノイズ成分を除去するように、高域遮断周波数が150Hz程度に設定されている。また、ローパスフィルタ52の出力は、信号処理装置41の端子41a及び41bに接続され、ローパスフィルタ53の出力は、信号処理装置41の端子41c及び41dに接続されている。

[0007] 信号処理装置41は、CPU42a、ROM42b及びRAM42cを有し、この信号処理装置41全体の制御等を行うデジタル処理回路42と、反転入力側が端子41aに接続され、非反転入力側が後述するアナログ-デジタル変換回路(以下、DACという)46の出力側に接続され、出力側が端子41bに接続された演算增幅回路43と、反転入力側が端子41cに接続され、非反転入力側が後述するDAC47の出力側に接続され、出力側が端子41dに接続された演算增幅回路44と、演算增幅回路44の出力側に接続されたアナログスイッチSW11と、演算增幅回路44の出力側に接続されたアナログスイッチSW12と、入力側がアナログスイッチSW11及びSW12の共通の出力側に接続され、出力側がデジタル処理回路42の入力側に接続されたアナログ-デジタル

ル変換回路(以下、ADCという)45と、入力側がデジタル処理回路42の出力側に接続され、出力側が演算增幅回路43の非反転入力側に接続されたDAC46と、入力側がデジタル処理回路42の出力側に接続され、出力側が演算增幅回路44の非反転入力側に接続されたDAC47とを備えている。ローパスフィルタ52、53は、それぞれ演算增幅回路43、44の帰還回路になっている。

[0008] 以上の構成を有する信号処理装置41の動作を説明する。

ポインティングデバイス51の点51eから出力されたX軸方向の歪み電圧は、端子41aから演算增幅回路43の反転入力側に入力される。同様に、ポインティングデバイス51の点51fから出力されたY軸方向の歪み電圧は、端子41cから演算增幅回路44の反転入力側に入力される。演算增幅回路43の非反転入力側には、デジタル処理回路42から出力された基準データがDAC46にてアナログ基準電圧に変換され、入力される。演算增幅回路44の非反転入力側には、デジタル処理回路42から出力された基準データがDAC47にてアナログ基準電圧に変換され、入力される。ここで、歪みセンサ51a、51b、51c、51dの各々の無荷重時の抵抗値をRs、ローパスフィルタ52及び53における抵抗52b及び53bの各々の抵抗値をRfとすると、演算增幅回路43及び44のゲインは一 $\{Rf/(Rs/2)\}$ となるので、入力されたX軸方向及びY方向の歪み電圧の変化($\pm 10mV$ 程度)をアナログ基準電圧を中心とした電圧変化($\pm 1V$ 程度)に増幅することができる。

[0009] アナログスイッチSW11及びSW12には、デジタル処理回路42から、図6に示すような検出周期T1(例えば10msec)毎に交互にレベルが変化する矩形波Asw11及びAsw12が切り換え制御信号として入力される。アナログスイッチSW11及びSW12は、それぞれ矩形波Asw11及びAsw12がハイレベルの期間にオンになり、ローレベルの期間にオフになるので、アナログスイッチSW11及びSW12は検出周期T1で交互にオンになる。このため、アナログスイッチSW11及びSW12の共通の出力側、即ちADC45の入力側には、図7に示すようにX軸方向の歪み電圧Vx11 及びY軸方向の歪み電圧Vy11 が交互に現れる。これらの歪み電圧Vx11 及びVy11 はADC45によりデジタル化され、デジタル処理回路42に入力される。

[0010] 特許文献1:特開平7-319617号公報

発明の開示

発明が解決しようとする課題

[0011] 感圧式ポインティングデバイス51の操作に対するディスプレイ上のポインタの応答を速くすることは、ユーザがポインティングデバイス51を操作する上で好ましいことである。この応答を速くするためには、図7における周期T1を短縮すればよい。そして、デジタル処理回路の高速化が著しい現状で検出周期T1を2~3msec程度に短縮することは充分可能である。しかしながら、図6に示した信号処理装置41では、ローパスフィルタ52及び53のコンデンサ52a及び53aの各々のキャパシタンスをCfとすると、アナログスイッチSW11及びSW12が切り換わるタイミングで、ADC45の入力側の電圧Vx11 及びVy11 に時定数(CfRf)に対応する応答の遅れが生じる。この時定数の大小はローパスフィルタ52及び53の高域遮断周波数($1/2\pi C_f R_f$)の高低と相反する傾向となるため、低周波ノイズを除去するためにCfを大きくすると、検出周期T1を短縮できなくなるため、ポインタの応答速度の向上を実現できない。

[0012] 本発明は、このような問題点を解決するためになされたものであり、低周波ノイズの除去性能を低下させずにポインティングデバイスの応答性の向上を実現することを目的とする。また、本発明は、ポインティングデバイスの応答性の向上及び低周波ノイズの除去性能の向上を同時に実現することを目的とする。

課題を解決するための手段

[0013] 請求項1に係る発明は、ポインティングデバイスから出力される信号を処理する信号処理装置であって、前記ポインティングデバイスの操作部のX軸方向に対する操作による検知信号を増幅する第1の増幅回路と、前記操作部のY軸方向に対する操作による検知信号を増幅する第2の増幅回路と、前記第1及び第2の増幅回路の出力信号を所定の周期毎に交互に切り換えて出力する第1のスイッチング回路と、前記第1のスイッチング回路が切り換えられたときに第1のスイッチング回路の出力側を所定時間交流的に接地する回路とを備えたことを特徴とする信号処理装置である。

請求項2に係る発明は、請求項1に係る信号処理装置において、前記交流的に接地する回路は、前記第1のスイッチング回路の出力側とグラウンドとの間に接続された、抵抗及びコンデンサからなる第1のローパスフィルタと、前記抵抗の両端に接続さ

れた第2のスイッチング回路とを有し、前記第1のスイッチング回路が切り換えられたときに前記第2のスイッチング回路をオンにし、切り換えから所定時間経過したときにオフにすることを特徴とする信号処理装置である。

請求項3に係る発明は、ポインティングデバイスから出力される信号を処理する信号処理装置であって、前記ポインティングデバイスは、その操作部のX軸及びY軸のプラス方向とマイナス方向に対する操作による検知信号を前記X軸及びY軸のプラス方向又はマイナス方向の一方に対する操作とプラス方向とマイナス方向の双方に対する操作とを識別可能に出力する検知手段と、前記検知手段から前記X軸及びY軸のプラス方向又はマイナス方向の一方に対する操作による検知信号を取り出す第1の出力手段と、前記検知手段から前記X軸及びY軸のプラス方向とマイナス方向の双方に対する操作による検知信号を取り出す第2の出力手段とを備え、前記信号処理装置は、前記第1の出力手段から出力されるX軸方向に対する操作による検知信号とY軸方向に対する操作による検知信号とを交互に切り換えて出力する第1のスイッチング回路と、前記第1のスイッチング回路から出力された前記X軸方向に対する操作による検知信号及びY軸方向に対する操作による検知信号を増幅する第1の増幅回路と、前記第2の出力手段の出力信号を増幅する第2の増幅回路と、前記第1及び第2の増幅回路の出力信号を前記所定の周期毎に交互に切り換えて出力する第2のスイッチング回路と、前記第1のスイッチング回路及び第2のスイッチング回路が切り換えられたときに前記第2のスイッチング回路の出力側を所定時間交流的に接地する回路とを備えたことを特徴とする信号処理装置である。

請求項4に係る発明は、請求項3記載の信号処理装置において、前記検知手段は、X軸のプラス方向の操作による荷重に応じて抵抗値が変化する第1の抵抗素子と、その第1の抵抗素子と直列接続されたX軸のマイナス方向の操作による荷重に応じて抵抗値が変化する第2の抵抗素子と、Y軸のプラス方向の操作による荷重に応じて抵抗値が変化する第3の抵抗素子と、その第3の抵抗素子と直列接続されたY軸のマイナス方向の操作による荷重に応じて抵抗値が変化する第4の抵抗素子とを備え、これらの直列接続回路の一端に電源が供給され、前記第1の抵抗素子と第2の抵抗素子との接続点に接続された端子及び前記第3の抵抗素子と第4の抵抗素子との

接続点に接続された端子を前記第1の出力手段とし、前記直列接続回路の電源側の端に接続された端子を第2の出力手段としたことを特徴とする信号処理装置である。
。

請求項5に係る発明は、請求項3記載の信号処理装置において、前記交流的に接地する回路は、前記第2のスイッチング回路の出力側とグラウンドとの間に接続された、抵抗及びコンデンサからなる第1のローパスフィルタと、前記抵抗の両端に接続された第3のスイッチング回路とを有し、前記第1のスイッチング回路及び第2のスイッチング回路が切り換えられたときに前記第3のスイッチング回路をオンにし、切り換えから所定時間経過したときにオフにすることを特徴とする信号処理装置である。

請求項6に係る発明は、請求項2又は5記載の信号処理装置において、前記第1の增幅回路の出力信号の低周波ノイズを除去するための第2のローパスフィルタと、前記第2の增幅回路の出力信号の低周波ノイズを除去するための第3のローパスフィルタとを備え、かつ前記第1のローパスフィルタの高域遮断周波数を前記第2及び第3のローパスフィルタの高域遮断周波数よりも低くしたことを特徴とする信号処理装置である。

請求項1に係る発明によれば、第1のスイッチング回路が切り換えられたときに第1のスイッチング回路の出力側が所定時間交流的に接地されるので、そのときに第1のスイッチング回路から出力される電圧の立ち上がり又は立ち下がりの応答波形は、第1及び第2の増幅回路の駆動能力で決まる。このため、増幅回路の出力信号の低周波ノイズを除去するためのローパスフィルタの時定数で変化する従来回路と比較すると、応答速度は大幅に速くなる。

請求項2に係る発明によれば、第1のスイッチング回路が切り換えられたときに抵抗の両端をショートさせるので、そのときに第1のスイッチング回路から出力される電圧の立ち上がり又は立ち下がりの応答波形は、第1及び第2の増幅回路の駆動能力で決まる。このため、増幅回路の出力信号の低周波ノイズを除去するためのローパスフィルタの時定数で変化する従来回路と比較すると、応答速度は大幅に速くなる。また、所定時間が経過すると、第1のローパスフィルタが働くようになるため、低周波ノイズが除去される。

請求項3及び4に係る発明によれば、第1のスイッチング回路及び第2のスイッチング回路が切り換えられたときに第2のスイッチング回路の出力側が所定時間交流的に接地されるので、そのときに第2のスイッチング回路から出力される電圧の立ち上がり又は立ち下がりの応答波形は、第1及び第2の增幅回路の駆動能力で決まる。このため、增幅回路の出力信号の低周波ノイズを除去するためのローパスフィルタの時定数で変化する従来回路と比較すると、応答速度は大幅に速くなる。

請求項5に係る発明によれば、第1のスイッチング回路及び第2のスイッチング回路が切り換えられる時に、各切り換え時点から所定時間抵抗の両端をショートさせて、その切り換え時に第2のスイッチング回路から出力される電圧の立ち上がり又は立ち下がりの応答波形は、第1及び第2の增幅回路の駆動能力で決まる。このため、增幅回路の出力信号の低周波ノイズを除去するためのローパスフィルタの時定数で変化する従来回路と比較すると、応答速度は大幅に速くなる。また、所定時間が経過すると、第1のローパスフィルタが働くようになるため、低周波ノイズが除去される。

請求項6に係る発明によれば、第1のローパスフィルタの低周波ノイズ除去性能は第2及び第3のローパスフィルタの低周波ノイズ除去性能よりも高いため、低周波ノイズ除去性能が向上する。また、第1のローパスフィルタのコンデンサのキャパシタンスを大きくすることに反比例して、第2及び第3のローパスフィルタの各々のコンデンサのキャパシタンスを小さくすることができる。

発明の効果

[0014] 本発明に係る信号処理装置によれば、2軸又は3軸の検出周期の短縮と低周波ノイズ除去性能の維持又は向上とを実現することができる。従って、ポインティングデバイスの出力信号を本発明に係る信号処理装置で処理することにより、低周波ノイズの除去性能を維持又は向上させるとともにポインティングデバイスの応答性の向上させることができる。

図面の簡単な説明

[0015] [図1]本発明の第1の実施形態に係る信号処理装置の構成を説明するための図である。

[図2]本発明の第1の実施形態に係る信号処理装置の動作タイミングチャートである。

[図3]本発明の第1の実施形態に係る信号処理装置の周波数特性を説明するための図である。

[図4]本発明の第2の実施形態に係る信号処理装置の構成を説明するための図である。

[図5]本発明の第2の実施形態に係る信号処理装置の動作タイミングチャートである。

[図6]従来の信号処理装置の構成を説明するための図である。

[図7]従来の信号処理装置の動作タイミングチャートである。

符号の説明

[0016] 1、21…信号処理装置、3、4、23、24…演算增幅回路、5、25…抵抗、6、26…コンデンサ、11、31…感圧式ポインティングデバイス、12、13、32、33…ローパスフィルタ、SW1～SW8…スイッチ。

発明を実施するための最良の形態

[0017] 以下、図面を基準しながら本発明の実施形態について説明する。

[第1の実施形態]

図1は本発明の第1の実施形態に係る信号処理装置を説明するための図、図2はその動作タイミングチャートの一例、図3はその周波数特性の一例を説明するための図である。

[0018] 本実施形態の信号処理装置1はICで構成されており、図1に示すように、感圧式ポインティングデバイス11の出力信号がローパスフィルタ12、13を介して入力される。感圧式ポインティングデバイス11は、図示されていない操作部の操作による+X方向の荷重を検知する歪みセンサ11aと、-X方向の荷重を検知する歪みセンサ11bと、+Y方向の荷重を検知する歪みセンサ11cと、-Y方向の荷重を検知する歪みセンサ11dとを備えている。歪みセンサ11a、b、c、dはピエゾ抵抗素子のような歪みゲージで構成されており、図示されていない操作部をそれぞれ+X方向、-X方向、+Y方向、-Y方向に操作すると、その操作方向に応じてそれぞれ歪みセンサ11a、b、c、dが下方に押圧され、その荷重により抵抗値が変化するように構成されている。また、歪みセンサ11aと11bとが直列に接続され、歪みセンサ11cと11dとが直列に接続されている。さらに、直列接続回路同士が並列に接続されており、その並列接続回路

に電源電圧Vddを安定化した定電位Vregが供給されている。

[0019] 荷重のない状態では、4個の歪みセンサの抵抗値は等しいが、操作部がそれぞれの方向に操作されると、操作された方向の歪みセンサの抵抗値が変化し、歪みセンサ11aと11bとの接続点11eからX軸方向の歪みが電圧変化として検出され、歪みセンサ11cと11dとの接続点11fからY軸方向の歪みが電圧変化として検出される。荷重を解除すると、各歪みセンサの抵抗値は荷重のないときの状態に戻り、接続点11e、11fの電位も変化する前の値に戻る。

[0020] ローパスフィルタ12、13は、それぞれコンデンサ12a、13a及び抵抗12b、13bからなり、後述する演算增幅回路3及び4の出力信号から低周波ノイズ成分を除去するように、高域遮断周波数が設定されている。また、ローパスフィルタ12の出力側は、信号処理装置1の端子1a及び1bに接続され、ローパスフィルタ13の出力側は、信号処理装置1の端子1c及び1dに接続されている。これらのローパスフィルタ12、13の基本機能は従来のローパスフィルタ52、53と同じである。ただし、後述するように、信号処理装置1は抵抗5とコンデンサ6とからなるローパスフィルタを備えており、そのローパスフィルタの高域遮断周波数を従来回路と同様の150Hz程度に設定することで、ローパスフィルタ12、13の高域遮断周波数は例えば1500Hz程度にしてもよい。これにより、コンデンサ12a、13aのキャパシタンスをコンデンサ52a、53aのキャパシタンスの1／10程度に小さくすることができる、ICで構成された信号処理装置1の内部に設けることができる。

[0021] 信号処理装置1は、CPU2a、ROM2b及びRAM2cを有し、この信号処理装置1全体の制御等を行うデジタル処理回路2と、反転入力側が端子1aに接続され、非反転入力側が後述するDAC8の出力側に接続され、出力側が端子1bに接続された演算增幅回路3と、反転入力側が端子1cに接続され、非反転入力側が後述するDAC9の出力側に接続され、出力側が端子1dに接続された演算增幅回路4と、演算增幅回路3の出力側に接続されたアナログスイッチSW1と、演算增幅回路4の出力側に接続されたアナログスイッチSW2と、アナログスイッチSW1及びSW2の共通の出力側に接続された抵抗5及びスイッチSW3の並列回路と、この並列回路の出力側の端子1eとグラウンドとの間に接続されたコンデンサ6と、入力側が前記並列回路の出力

側に接続され、出力側がデジタル処理回路2の入力側に接続されたADC7と、入力側がデジタル処理回路2の出力側に接続され、出力側が演算增幅回路3の非反転入力側に接続されたDAC8と、入力側がデジタル処理回路2の出力側に接続され、出力側が演算增幅回路4の非反転入力側に接続されたDAC9とを備えている。

[0022] 従って、ローパスフィルタ12、13は、それぞれ演算增幅回路3、4の帰還回路になっている。また、抵抗5及びコンデンサ6は、低周波ノイズ成分を除去するためのローパスフィルタとして働く。なお、図示されていないが、この信号処理装置1の全体には電源電圧Vddを安定化した定電位Vregが供給されている。このように安定な電圧を供給することにより、演算增幅回路3及び4のオフセット電圧が小さくなるため、演算增幅回路3及び4の面積を従来の演算增幅回路43及び44よりも小さくすることができる。

[0023] 以上の構成を有する信号処理装置1において、従来の信号処理装置41の構成要素と同名の構成要素は、同一の構成及び機能を備えている。従って、信号処理装置1は、従来の信号処理装置41に対して、抵抗5及びコンデンサ6からなるローパスフィルタと、抵抗5に並列接続されたスイッチSW3とを付加したものと言える。

[0024] 以上の構成を有する信号処理装置1の動作を説明する。ここで、ポインティングデバイス11の点11e及び11fから出力されたX軸方向の歪み電圧及びY軸方向の歪み電圧が演算增幅回路3及び4により増幅される動作は、従来の信号処理装置41と同じであるため、説明を省略する。

[0025] アナログスイッチSW1及びSW2には、デジタル処理回路2から、図2に示すような検出周期T2(例えば3msec)毎に交互にレベルが変化する矩形波Asw1及びAsw2が切り換え制御信号として入力される。アナログスイッチSW1及びSW2は、それぞれ矩形波Asw1及びAsw2がハイレベルの期間にオンになり、ローレベルの期間にオフになるので、アナログスイッチSW1及びSW2は検出周期T2で交互にオンになる。また、スイッチSW3には、デジタル処理回路2から、図2に示すような矩形波Asw3が切り換え制御信号として入力される。矩形波Asw3は、矩形波Asw1及びAsw2のレベル変化から所定時間 τ の期間がハイレベル、それ以外の期間がローレベルとなる。スイッチSW3は、矩形波Asw3がハイレベルの期間にオンになり、ローレベルの

期間にオフになるので、スイッチSW3はアナログスイッチSW1及びSW2の切り換え開始から τ の期間のみオンになる。スイッチSW3がオンになると、抵抗5の両端がショートされるため、ADC7の入力側には、図2に示すようにX軸方向の歪み電圧Vx1及びY軸方向の歪み電圧Vy1が交互に現れる。これらの歪み電圧Vx1及びVy1はADC7によりデジタル化され、デジタル処理回路2に入力される。

[0026] ここで、スイッチSW3がオンになると、演算增幅回路3の駆動能力に応じた応答速度でコンデンサ6が充放電されるため、X軸方向の歪み電圧Vx1は、演算增幅回路3の駆動能力とコンデンサ6のキャパシタンスに応じた応答速度で変化する。この応答速度はローパスフィルタ52、53の時定数に対応した従来の信号処理装置41の応答速度よりも充分に高速であるため、Vx1の波形は速やかに一定値に到達する。Y軸方向の歪み電圧Vy1についても同様である。

[0027] 所定時間 τ が経過した後にスイッチSW3がオフになると、アナログスイッチSW1及びSW2の共通の出力側に抵抗5及びコンデンサ6からなるローパスフィルタが接続された形になる。このため、演算增幅回路3の出力であるX軸方向の歪み電圧の低周波ノイズは抵抗5及びコンデンサ6からなるローパスフィルタとローパスフィルタ12により除去され演算增幅回路4の出力であるY軸方向の歪み電圧の低周波ノイズは抵抗5及びコンデンサ6からなるローパスフィルタとローパスフィルタ13により除去される。

[0028] ここで、抵抗5の抵抗値をRq、コンデンサ6のキャパシタンスをCqとすると、抵抗5及びコンデンサ6は、 $1/(2\pi Cq Rq)$ の高域遮断周波数を持つ一次ローパスフィルタとなる。抵抗値Rqを従来の抵抗52b及び53bの抵抗値Rfの例えれば $1/10$ に設定し、キャパシタンスCqを従来のコンデンサ52b及び53bのキャパシタンスCfの10倍に設定することにより、高域遮断周波数は従来のローパスフィルタ52、53と同じになり、従って従来のローパスフィルタ52、53と同じ低周波ノイズ除去性能を持たせることができる。ローパスフィルタ12及び13のコンデンサ12a及び13aのキャパシタンスをCf'、抵抗12b及び13bの抵抗値をRf'とすると、ローパスフィルタ12及び13は $1/(2\pi C_f' R_f')$ の高域遮断周波数を持つ一次ローパスフィルタとなる。従って、演算增幅回路3及び4の出力電圧は、 $1/(2\pi C_f' R_f')$ の高域遮断周波数を持つ一次ローパスフ

イルタと、 $1/(2\pi CqRq)$ の高域遮断周波数を持つ一次ローパスフィルタとの組合せにより、2段のローパスフィルタを経由することになる。ここで、キャパシタンスをCf'を従来のコンデンサ52b及び53bのキャパシタンスCfより小さく設定することにより、2段のローパスフィルタを組み合わせた周波数特性は、図3に示すように、高域のゲインの低下の度合いが従来よりも大きくなるため、周波数の高いノイズ成分を除去する性能が向上する。

[0029] [第2の実施形態]

図4は本発明の第2の実施形態に係る信号処理装置を説明するための図、図5はその動作タイミングチャートである。

[0030] 図4に示すように、本実施形態の信号処理装置21には、感圧式ポインティングデバイス31の出力信号が入力される。感圧式ポインティングデバイス31は、図示されていない操作部の操作による+X方向の荷重を検知する歪みセンサ31aと、-X方向の荷重を検知する歪みセンサ31bと、+Y方向の荷重を検知する歪みセンサ31cと、-Y方向の荷重を検知する歪みセンサ31dとを備えている。歪みセンサ31a、b、c、dはピエゾ抵抗素子のような歪みゲージで構成されており、図示されていない操作部をそれぞれ+X方向、-X方向、+Y方向、-Y方向に操作すると、その操作方向に応じてそれぞれ歪みセンサ31a、b、c、dが下方に押圧され、その荷重により抵抗値が変化するように構成されている。さらに、操作部をX軸及びY軸に垂直な方向に操作すると、歪みセンサ31a、b、c、dの全てが下方に押圧され、その荷重により全ての歪みセンサ31a、b、c、dの抵抗値が変化するように構成されている。歪みセンサ31aと31bとが直列に接続され、歪みセンサ31cと31dとが直列に接続されている。また、直列接続回路同士が並列に接続され、その並列接続回路には、後述するレギュレータ30から抵抗34を介して電源電圧が供給される。コンデンサ35はデカップリング用である。ここで、抵抗34の抵抗値は、4個の歪みセンサ31a～31dの無荷重時の抵抗値と同じ値に設定されている。

[0031] 荷重のない状態では、4個の歪みセンサの抵抗値は等しいが、操作部がそれぞれの方向に押圧されると、押圧された方向の歪みセンサの抵抗値が変化し、歪みセンサ31aと31bとの接続点31eからX軸方向の歪みが電圧変化として検出され、歪みセ

ンサ31cと31dとの接続点31fからY軸方向の歪みが電圧変化として検出される。さらに、抵抗34と歪みセンサ31a及び31cとの接続点31gから、Z軸方向の歪みが電圧変化として検出される。ここで、Z軸方向とは、X軸及びY軸と直交する方向であり、感圧式ポインティングデバイス11の操作部全体を押し込む荷重による接続点11gの電圧変化をZ軸方向の歪みとして検出したものである。荷重を解除すると、各歪みセンサの抵抗値は荷重のないときの状態に戻り、接続点31e、31f、31gの電位も変化する前の値に戻る。

[0032] ローパスフィルタ32, 33は、それぞれコンデンサ32a, 33a及び抵抗32b, 33bからなり、後述する演算增幅回路23及び24の出力信号から低周波ノイズ成分を除去するように、高域遮断周波数が設定されている。また、ローパスフィル32の出力側は、信号処理装置21の端子21a及び21bに接続され、ローパスフィルタ33の出力側は、信号処理装置21の端子21c及び21dに接続されている。これらのローパスフィルタ32, 33の基本機能は第1の実施形態のローパスフィルタ12, 13と同じである。

[0033] 信号処理装置21は、CPU22a、ROM22b及びRAM22cを有し、この信号処理装置21全体の制御等を行うデジタル処理回路22と、反転入力側が端子21bに接続され、非反転入力側が後述するDAC28の出力側に接続され、出力側が端子21cに接続された演算增幅回路23と、反転入力側が端子21eに接続され、非反転入力側が後述するDAC29の出力側に接続され、出力側が端子21fに接続された演算增幅回路24と、入力側が端子21dに接続され、出力側が後述する演算增幅回路24の反転入力側に接続されたアナログスイッチSW4と、入力側が端子21eに接続され、出力側が演算增幅回路24の反転入力側に接続されたアナログスイッチSW5と、演算增幅回路23の出力側に接続されたアナログスイッチSW7と、演算增幅回路24の出力側に接続されたアナログスイッチSW8と、アナログスイッチSW7及びSW8の共通の出力側に接続された抵抗25及びスイッチSW9の並列回路と、この並列回路の出力側の端子21gとグラウンドとの間に接続されたコンデンサ26と、入力側が前記並列回路の出力側に接続され、出力側がデジタル処理回路22の入力側に接続されたADC27と、入力側がデジタル処理回路22の出力側に接続され、出力側が演算增幅回路23の非反転入力側に接続されたDAC28と、入力側がデジタル処理回路22の

出力側に接続され、出力側が演算増幅回路24の非反転入力側に接続されたDAC 29と、電源電圧Vddから定電位を生成するレギュレータ30と、レギュレータ30の出力側と演算増幅回路23の反転入力側との間に接続されたスイッチSW6とを備えている。ここで、感圧式ポインティングデバイス31の構造上、接続点31gから出力されるZ軸方向の歪電圧の振幅は、X軸方向の歪み電圧及びY軸方向の歪み電圧の振幅よりも小さいので、演算増幅回路23のゲインを演算増幅回路24よりも大きくすることが好適である。

[0034] レギュレータ30の出力側は端子21aに接続され、端子21aには前述した抵抗34及びコンデンサ35が接続されている。また、端子21aと端子21bとの間にはスイッチSW6が接続されている。ローパスフィルタ32、33は、それぞれ演算増幅回路23、24の帰還回路になっている。また、抵抗25及びコンデンサ26は、低周波ノイズ成分を除去するためのローパスフィルタとして働く。

[0035] 以上の構成を有する信号処理装置21の動作を説明する。

ポインティングデバイス31の点31eから出力されたX軸方向の歪み電圧は、端子21dからアナログスイッチSW4の入力側に供給される。また、ポインティングデバイス31の点31fから出力されたY軸方向の歪み電圧は、端子21eからアナログスイッチSW5の入力側に供給される。さらに、ポインティングデバイス31の点31gから出力されたZ軸方向の歪み電圧は、端子21bから演算増幅回路23の反転入力側に供給される。

[0036] アナログスイッチSW4及びSW5、並びにスイッチSW6には、デジタル処理回路22から、図5に示すような検出周期T3(例えば4.5msec)毎に周期的にレベルが変化する矩形波Asw4、Asw5及びAsw6が切り換え制御信号として入力される。矩形波Asw4及びAsw5は矩形波Asw6がハイレベルの期間に交互にハイレベルとなる。アナログスイッチSW4及びSW5並びにスイッチSW6は、それぞれ矩形波Asw4、Asw5及びAsw6がハイレベルの期間にオンになり、ローレベルの期間にオフになるので、スイッチSW6は検出周期T3毎に交互にオンとなり、アナログスイッチSW4及びSW5はスイッチSW6がオンの期間に交互にオンとなる。

[0037] ここで、スイッチSW6がオンの期間は、抵抗34の両端がショートされるため、ポイン

ティングデバイス31の点31gの電位及び演算增幅回路23の反転入力側の電位はレギュレータ30の出力電位に固定される。従って、Z軸方向の歪み電圧は演算增幅回路23の反転入力側に入力されない。スイッチSW6がオンで、かつアナログスイッチSW4がオンの期間は、ポインティングデバイス31の点31eから出力されたX軸方向の歪み電圧が演算增幅回路24の反転入力側に入力され、スイッチSW6がオンで、かつアナログスイッチSW5がオンの期間は、ポインティングデバイス31の点31fから出力されたY軸方向の歪み電圧が演算增幅回路24の反転入力側に入力される。つまり、演算增幅回路24の反転入力側には、X軸方向の歪み電圧とY軸方向の歪み電圧とが交互に入力される。一方、スイッチSW6がオフの期間は、ポインティングデバイス31の点31gから出力されたZ軸方向の歪み電圧が演算增幅回路23の反転入力側に入力される。

[0038] ここで抵抗34を設けた理由を説明する。前記したように、抵抗34の抵抗値は4個の歪みセンサ31a～31dの無荷重時の抵抗値と同じ値に設定されている。従って、レギュレータ30の出力電位をVreg とすると、スイッチSW6がオンの期間の無荷重時には点31e及び31fの電位はVreg / 2となるから、X軸方向の歪み電圧及びY軸方向の歪み電圧はVreg / 2を中心に変化する。また、スイッチSW6がオフの期間の無荷重時には点31gの電位はVreg / 2となるから、Z軸方向の歪み電圧はVreg / 2から変化する。つまり、抵抗34は無荷重時のX軸、Y軸及びZ軸の歪み電圧を揃えるために設けたものである。

[0039] 演算增幅回路23の非反転入力側には、デジタル処理回路22から出力された基準データがDAC28にてアナログ基準電圧に変換され、入力される。演算增幅回路24の非反転入力側には、デジタル処理回路42から出力された基準データがDAC29にてアナログ基準電圧に変換され、入力される。従って、X軸方向の歪み電圧及びY軸方向の歪み電圧は、それぞれ図5の矩形波Asw4、Asw5 がハイレベルの期間に演算增幅回路24により交互に増幅され、Z軸方向の歪み電圧は図5の矩形波Asw6 がローレベルの期間に演算增幅回路23により増幅される。

[0040] 演算增幅回路23、24の出力側に設けられたアナログスイッチSW7、SW8には、デジタル処理回路22から、図5に示すような検出周期T3毎に交互にレベルが変化する

矩形波Asw7 及びAsw8 が切り換え制御信号として入力される。アナログスイッチSW7及びSW8は、それぞれ矩形波Asw7 及びAsw8 がハイレベルの期間にオンになり、ローレベルの期間にオフになるので、アナログスイッチSW7及びSW8は検出周期T3で交互にオンになる。また、スイッチSW9には、デジタル処理回路22から、図5に示すような矩形波Asw4、Asw5及びAsw7 の立ち上がりから所定時間 τ の期間がハイレベル、それ以外の期間がローレベルとなる矩形波Asw9 が切り換え制御信号として入力される。スイッチSW9は、矩形波Asw9 がハイレベルの期間にオンになり、ローレベルの期間にオフになるので、スイッチSW9はアナログスイッチSW7及びSW8 の切り換え開始から τ の期間のみオンになる。スイッチSW9がオンになると、抵抗25の両端がショートされるため、ADC27の入力側には、図5に示すようにX軸方向の歪み電圧Vx2、Y軸方向の歪み電圧Vy2及びZ軸方向の歪み電圧Vz2が循環的に現れる。これらの歪み電圧Vx1、Vy2及びVz2はADC27によりデジタル化され、デジタル処理回路22に入力される。

[0041] ここで、スイッチSW9がオンになると、抵抗25の両端がショートされるため、演算增幅回路24の駆動能力に応じた応答速度でコンデンサ26が充放電される。このため、X軸方向の歪み電圧Vx1及びY軸方向の歪み電圧Vy1は、演算增幅回路3の駆動能力とコンデンサ26のキャパシタンスに応じた応答速度で変化する。第1の実施形態と同様、この応答速度は従来の信号処理装置41の応答速度よりも充分に高速であるため、Vx1及びVy1の波形は速やかに一定値に到達する。

所定時間 τ が経過した後にスイッチSW9がオフになった時の動作及び抵抗25とコンデンサ26とからなるローパスフィルタのノイズ除去特性は、第1の実施形態と同様であるため、説明を省略する。

[0042] このように、本実施形態によれば、第1の実施形態に加えて、X軸歪みセンサ及びY軸歪みセンサを備えた一般的な感圧式ポインティングデバイスを用い、センサ全体への荷重をタッピング(クリック)と判定する機能を付加することにより、ポインティングデバイスの操作性の向上及び機能の拡張を実現できるというメリットがある。

[0043] なお、本実施形態では、X軸方向の歪み電圧及びY軸方向の歪み電圧をスイッチSW4及びSW5で切り換えて单一の演算增幅回路24に供給することにより演算增幅

回路24を2軸の歪み電圧の増幅に兼用したが、X軸方向の歪み電圧を増幅する演算增幅回路と、Y軸方向の歪み電圧を増幅する演算增幅回路とを設け、それぞれを1軸の増幅専用に構成してもよい。

請求の範囲

[1] ポインティングデバイスから出力される信号を処理する信号処理装置であつて、前記ポインティングデバイスの操作部のX軸方向に対する操作による検知信号を増幅する第1の増幅回路と、前記操作部のY軸方向に対する操作による検知信号を増幅する第2の増幅回路と、前記第1及び第2の増幅回路の出力信号を所定の周期毎に交互に切り換えて出力する第1のスイッチング回路と、前記第1のスイッチング回路が切り換えられたときに第1のスイッチング回路の出力側を所定時間交流的に接地する回路とを備えたことを特徴とする信号処理装置。

[2] 前記交流的に接地する回路は、前記第1のスイッチング回路の出力側とグラウンドとの間に接続された、抵抗及びコンデンサからなる第1のローパスフィルタと、前記抵抗の両端に接続された第2のスイッチング回路とを有し、前記第1のスイッチング回路が切り換えられたときに前記第2のスイッチング回路をオンにし、切り換えから所定時間経過したときにオフにすることを特徴とする請求項1記載の信号処理装置。

[3] ポインティングデバイスから出力される信号を処理する信号処理装置であつて、前記ポインティングデバイスは、その操作部のX軸及びY軸のプラス方向とマイナス方向に対する操作による検知信号を前記X軸及びY軸のプラス方向又はマイナス方向の一方に対する操作とプラス方向とマイナス方向の双方に対する操作とを識別可能に出力する検知手段と、前記検知手段から前記X軸及びY軸のプラス方向又はマイナス方向の一方に対する操作による検知信号を取り出す第1の出力手段と、前記検知手段から前記X軸及びY軸のプラス方向とマイナス方向の双方に対する操作による検知信号を取り出す第2の出力手段とを備え、前記信号処理装置は、前記第1の出力手段から出力されるX軸方向に対する操作による検知信号とY軸方向に対する操作による検知信号とを所定の周期毎に交互に切り換えて出力する第1のスイッチング回路と、前記第1のスイッチング回路から出力された前記X軸方向に対する操作による検知信号及びY軸方向に対する操作による検知信号を増幅する第1の増幅回路と、前記第2の出力手段の出力信号を増幅する第2の増幅回路と、前記第1及び第2の増幅回路の出力信号を前記所定の周期毎に交互に切り換えて出力する第2のスイッチング回路と、前記第1のスイッチング回路及び第2のスイッチング回路が切り換

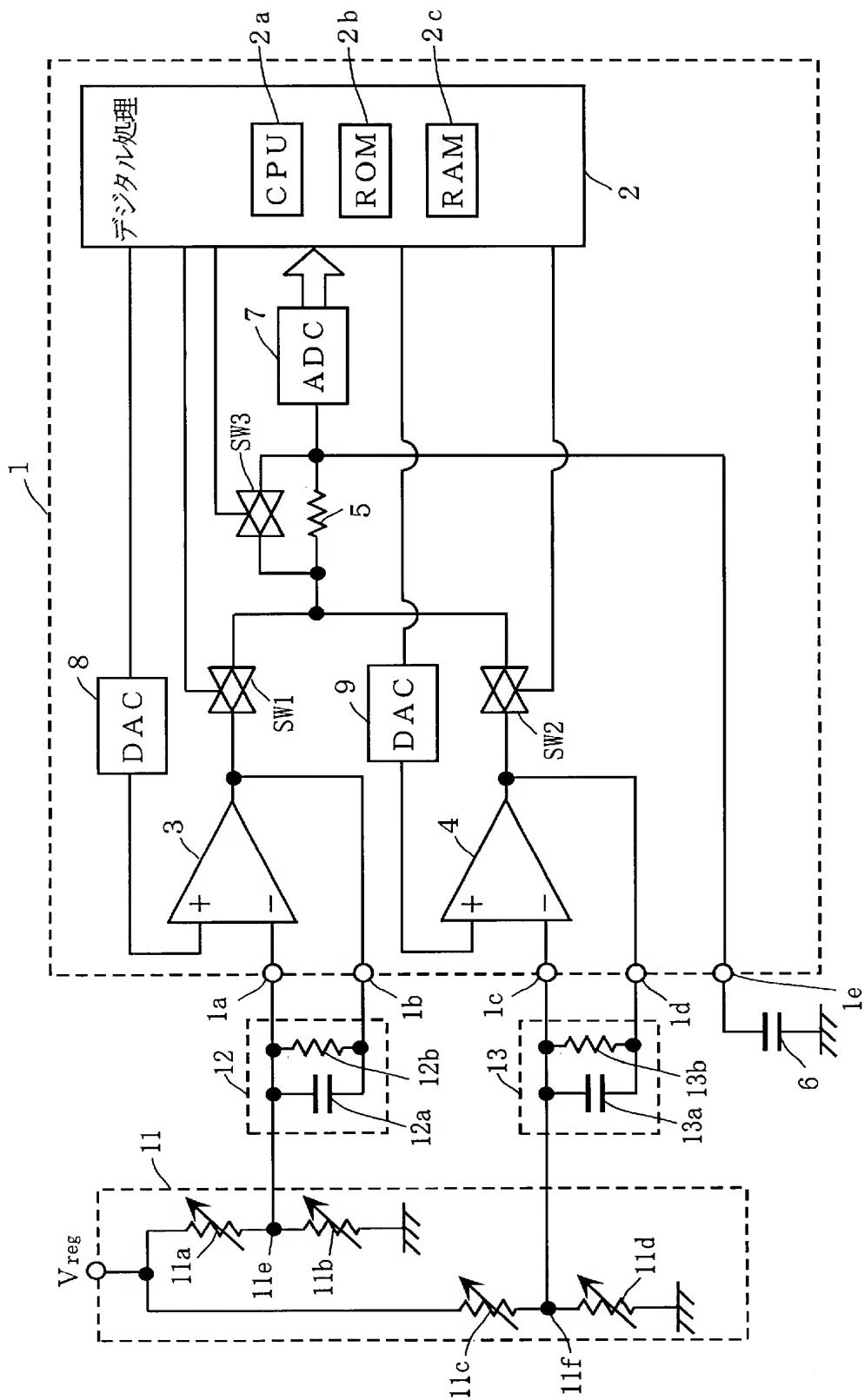
えられたときに前記第2のスイッチング回路の出力側を所定時間交流的に接地する回路とを備えたことを特徴とする信号処理装置。

[4] 前記検知手段は、X軸のプラス方向に対する操作による荷重に応じて抵抗値が変化する第1の抵抗素子と、その第1の抵抗素子と直列接続されたX軸のマイナス方向に対する操作による荷重に応じて抵抗値が変化する第2の抵抗素子と、Y軸のプラス方向に対する操作による荷重に応じて抵抗値が変化する第3の抵抗素子と、その第3の抵抗素子と直列接続されたY軸のマイナス方向に対する操作による荷重に応じて抵抗値が変化する第4の抵抗素子とを備え、これらの直列接続回路の一端に電源が供給され、前記第1の抵抗素子と第2の抵抗素子との接続点に接続された端子及び前記第3の抵抗素子と第4の抵抗素子との接続点に接続された端子を前記第1の出力手段とし、前記直列接続回路の電源側の端に接続された端子を第2の出力手段としたことを特徴とする請求項3記載の信号処理装置。

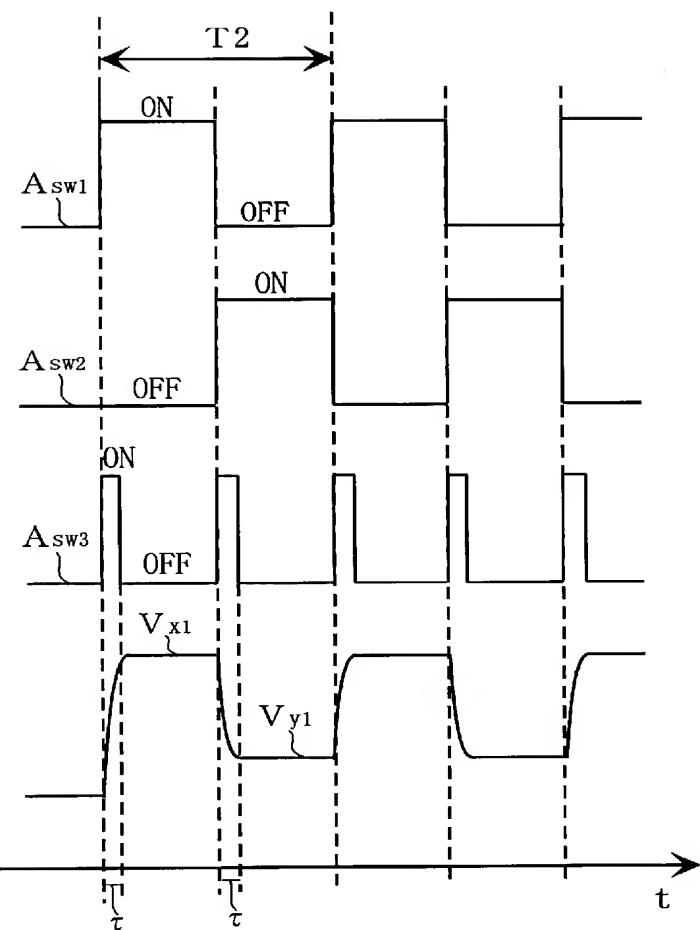
[5] 前記交流的に接地する回路は、前記第2のスイッチング回路の出力側とグラウンドとの間に接続された、抵抗及びコンデンサからなる第1のローパスフィルタと、前記抵抗の両端に接続された第3のスイッチング回路とを有し、前記第1のスイッチング回路及び第2のスイッチング回路が切り換えられたときに前記第3のスイッチング回路をオンにし、切り換えから所定時間経過したときにオフにすることを特徴とする請求項3記載の信号処理装置。

[6] 前記第1の增幅回路の出力信号の低周波ノイズを除去するための第2のローパスフィルタと、前記第2の增幅回路の出力信号の低周波ノイズを除去するための第3のローパスフィルタとを備え、かつ前記第1のローパスフィルタの高域遮断周波数を前記第2及び第3のローパスフィルタの高域遮断周波数よりも低くしたことを特徴とする請求項2又は5記載の信号処理装置。

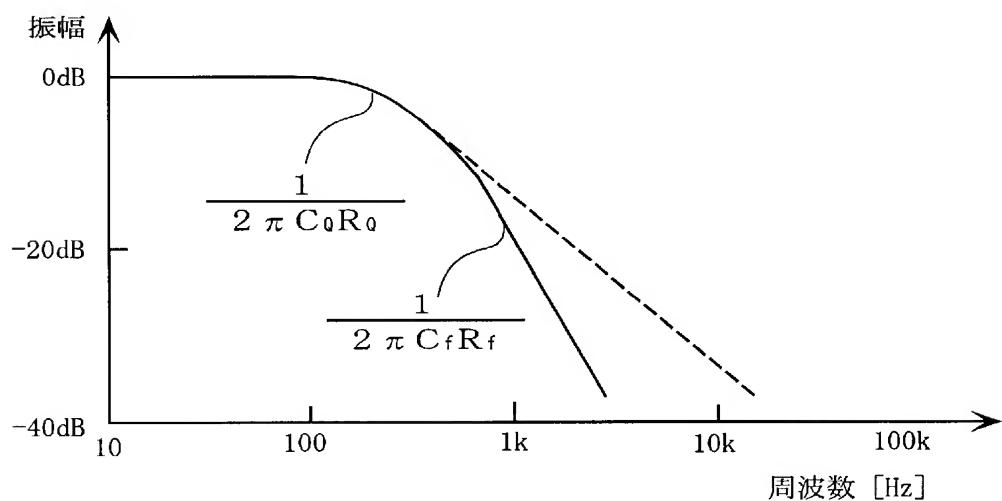
[図1]



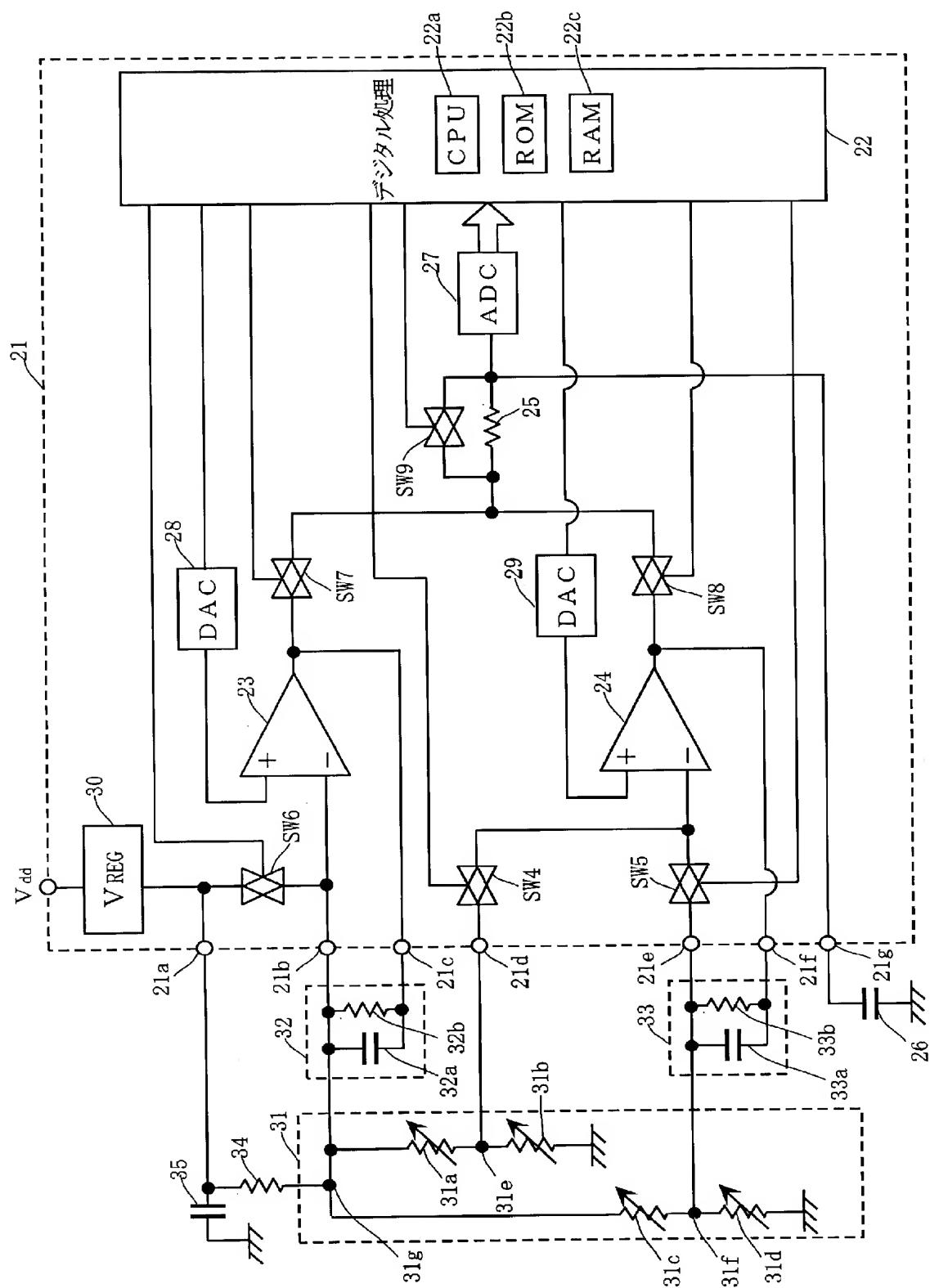
[図2]



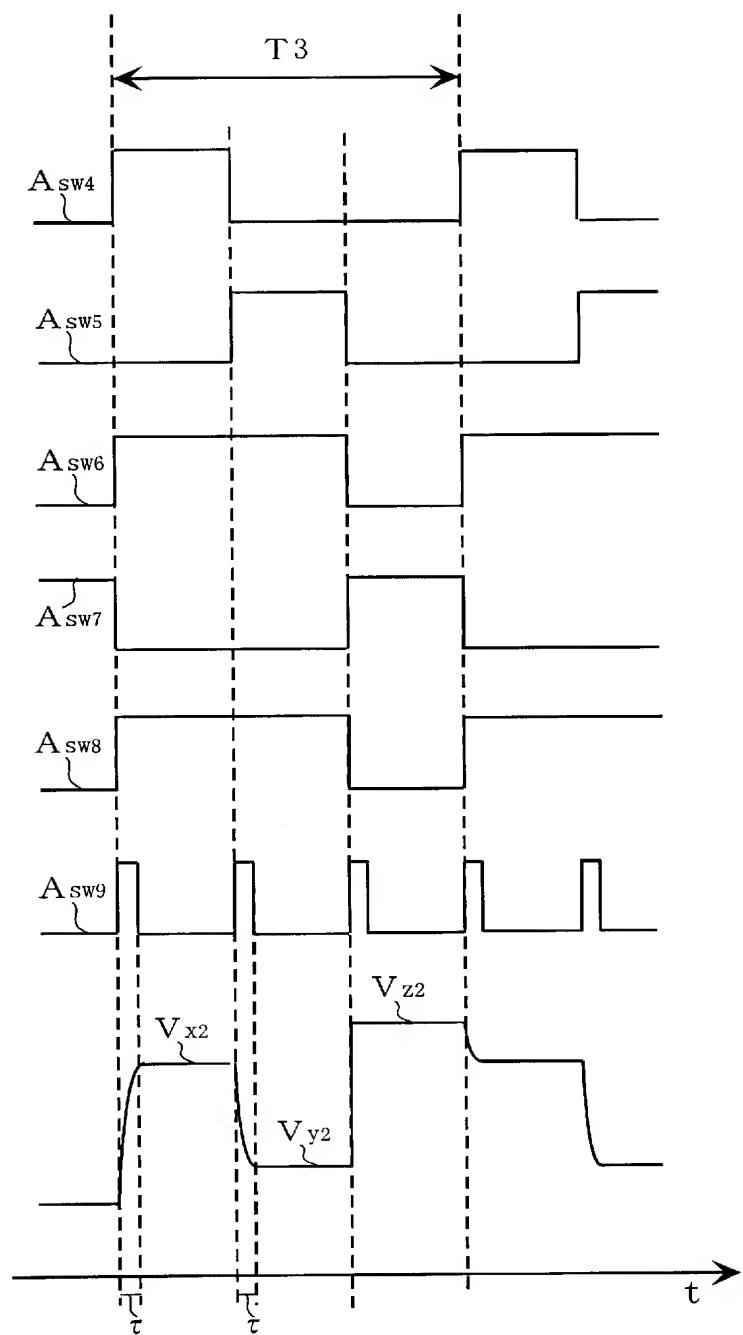
[図3]



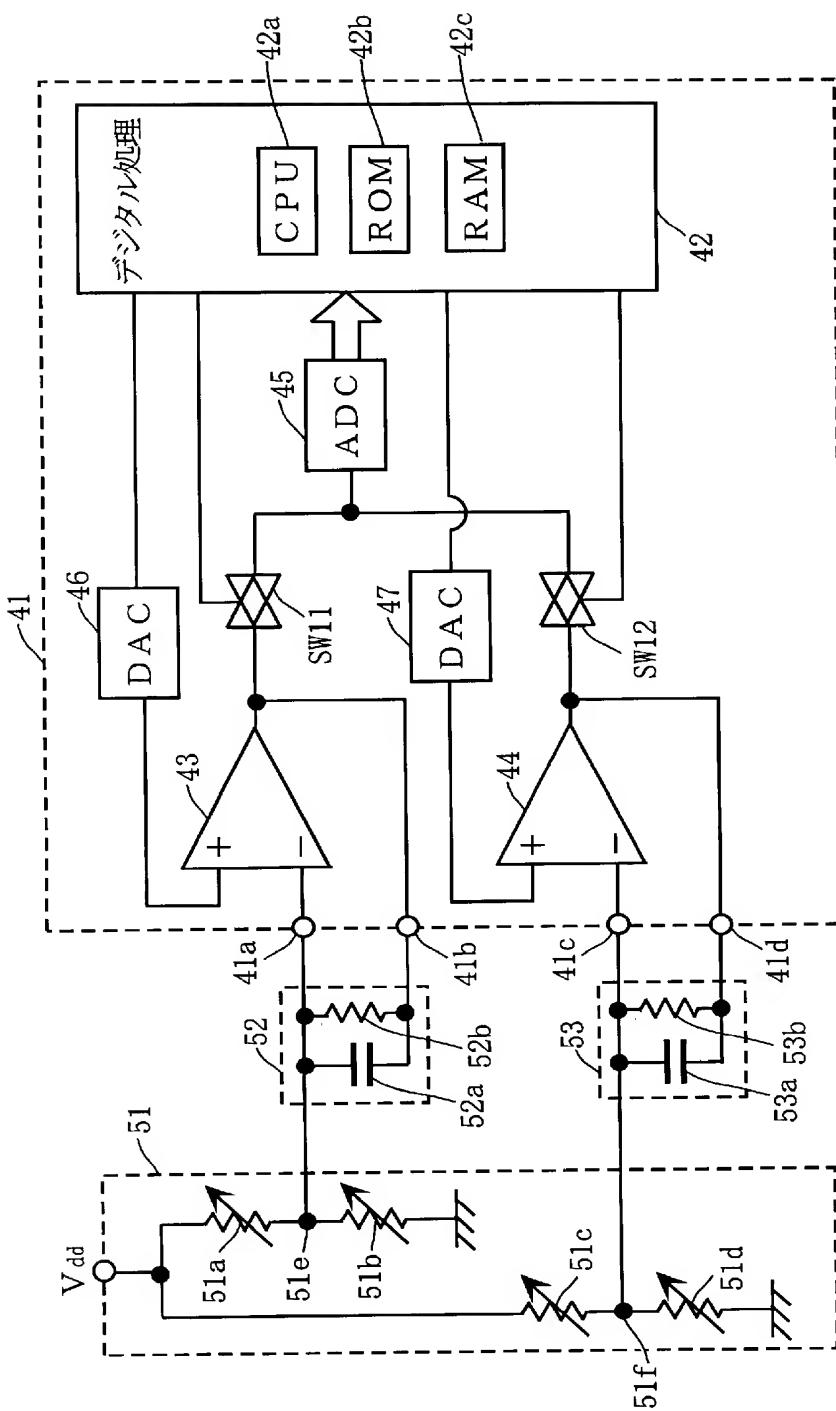
[図4]



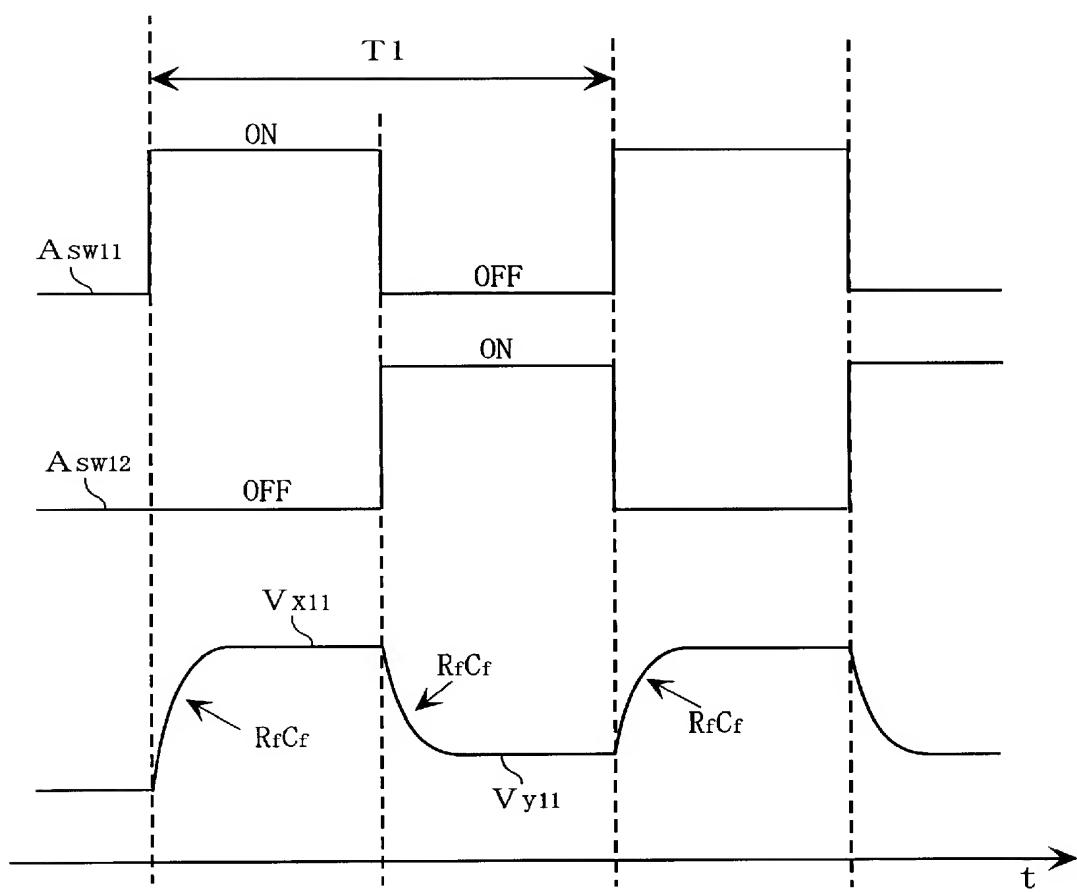
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2005/004215

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F3/033, G01L5/16

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F3/033, G01L5/16Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2005
Kokai Jitsuyo Shinan Koho 1971-2005 Toroku Jitsuyo Shinan Koho 1994-2005

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 62-216025 A (Sony Corp.), 22 September, 1987 (22.09.87), Page 2, lower left column, line 20 to page 3, upper left column, line 20; Fig. 5 (Family: none)	1-6
A	JP 2003-4562 A (Alps Electric Co., Ltd.), 08 January, 2003 (08.01.03), Par. Nos. [0004] to [0007]; Fig. 13 & US 2002/0190949 A1	1-6
A	JP 7-319617 A (Alps Electric Co., Ltd.), 08 December, 1995 (08.12.95), Par. Nos. [0022] to [0023]; Fig. 1 & US 5680154 A & US 5877749 A	1-6

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	
"A" document defining the general state of the art which is not considered to be of particular relevance	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"E" earlier application or patent but published on or after the international filing date	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"O" document referring to an oral disclosure, use, exhibition or other means	"&" document member of the same patent family
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
30 June, 2005 (30.06.05)Date of mailing of the international search report
19 July, 2005 (19.07.05)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl.⁷ G06F3/033, G01L5/16

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl.⁷ G06F3/033, G01L5/16

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2005年
日本国実用新案登録公報	1996-2005年
日本国登録実用新案公報	1994-2005年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 62-216025 A (ソニー株式会社) 1987. 09. 22, 第2頁, 左下欄, 第20行—第3頁, 左上欄, 第20行, 第5図 (ファミリーなし)	1-6
A	J P 2003-4562 A (アルプス電気株式会社) 2003. 01. 08, 段落【0004】—【0007】, 第13図 & U S 2002/0190949 A1	1-6

■ C欄の続きにも文献が列挙されている。

■ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日

30. 06. 2005

国際調査報告の発送日

19.7.2005

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

久保田 昌晴

5 E

4230

電話番号 03-3581-1101 内線 3521

C(続き) .	関連すると認められる文献	関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	JP 7-319617 A (アルプス電気株式会社) 1995. 1 2. 08, 段落【0022】-【0023】，第1図 &US 5680154 A &US 5877749 A	1-6